

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representation of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

## **IMAGES ARE BEST AVAILABLE COPY**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09306988 A**(43) Date of publication of application: **28.11.97**

(51) Int. Cl.

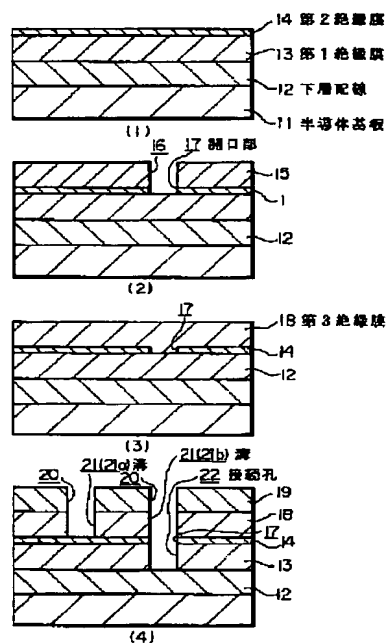
**H01L 21/768****H01L 21/3065**(21) Application number: **08089083**(22) Date of filing: **11.04.96**(30) Priority: **13.03.96 JP 08 55690**(71) Applicant: **SONY CORP**(72) Inventor: **SUZUKI TOSHIHARU  
MAEDA KEIICHI  
KOYAMA KAZUhide  
ODA TATSUJI**(54) **METHOD OF FORMING MULTILAYER WIRING**

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To reduce the number of etching steps by forming grooves and vias through an insulation film, burying conductors into the vias to form connecting plugs and burying conductors into the grooves to form an upper layer wiring.

**SOLUTION:** A first insulation film 13 is formed to cover a lower wiring 12 formed on a semiconductor substrate 11. After forming a second insulation film 14 having a lower etching rate than that of the first film 13 like a laminate on the first film 13, holes 17 are formed through the second film 14 on regions for forming vias to extend to the lower wiring 12. A third insulation film 18 having a lower etching rate than that of the second film 14 is formed on the holes 17 and second film 14. This allows the third film 18 to take etching selectivity to the second film 14 and first film 13 to take the etching selectivity to the second film 14.

COPYRIGHT: (C)1997,JPO



(51) Int.Cl.<sup>5</sup>H 0 1 L 21/768  
21/3065

識別記号

庁内整理番号

F I

H 0 1 L 21/90  
21/302

技術表示箇所

A  
J

審査請求 未請求 請求項の数 8 O L (全 13 頁)

(21) 出願番号 特願平8-89083

(22) 出願日 平成8年(1996)4月11日

(31) 優先権主張番号 特願平8-55690

(32) 優先日 平8(1996)3月13日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 鈴木 俊治

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(72) 発明者 前田 圭一

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(72) 発明者 小山 一英

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(74) 代理人 弁理士 船橋 國則

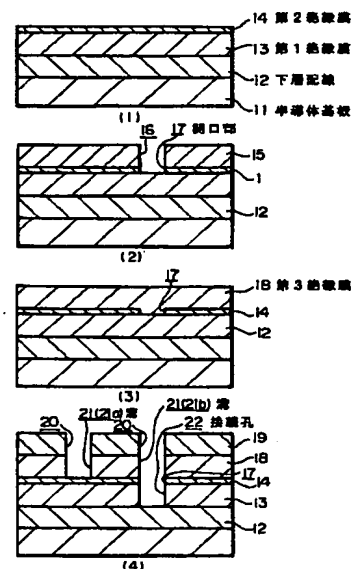
最終頁に続く

(54) 【発明の名称】 多層配線の形成方法

(57) 【要約】

【課題】 多層配線を形成するデュアルダマシン法では、上層配線を埋め込むための溝に重ねて下層配線との接続をとるための接続孔を形成するので、接続孔の微細加工は段差部の影響によるパターン変形によって困難になっている。

【解決手段】 半導体基板11上の下層配線12を覆う第1絶縁膜13を形成した後その表面を平坦化し、次いで第1絶縁膜13よりもエッチング速度が遅い第2絶縁膜14をさらに形成してから、接続孔の形成予定領域上の第2絶縁膜14に開口部17を形成する。次いで第2絶縁膜14上と開口部17上とに第2絶縁膜14よりもエッチング速度が速い第3絶縁膜18を形成し、その後エッチング技術によって、上層配線の形成予定領域上の第3絶縁膜18に開口部17を露出させる溝21を形成しかつ開口部17下の第1絶縁膜13に下層配線12に達する接続孔22を形成する。そして接続孔22と溝21とに導電体を埋め込んで接続プラグと上層配線とを形成する。



本発明に係る第1実施形態の製造工程図

## 【特許請求の範囲】

【請求項1】 基板上に設けた下層配線を覆う状態に絶縁膜を形成した後、該絶縁膜に溝および接続孔を形成し、その後該接続孔内に導電体を埋め込むことで接続プラグを形成するとともに該溝内に導電体を埋め込むことで上層配線を形成してなる多層配線の形成方法であって、

基板上に設けた下層配線を覆う状態に第1絶縁膜を形成した後、該第1絶縁膜よりもエッチング速度が遅い第2絶縁膜を該第1絶縁膜上に形成する工程と、前記下層配線に通じる接続孔を形成する領域の前記第2絶縁膜に開口部を形成する工程と、前記開口部上および前記第2絶縁膜上に該第2絶縁膜よりもエッチング速度が速い第3絶縁膜を形成する工程と、エッチングによって、上層配線を形成する領域の前記第3絶縁膜に少なくとも前記開口部が露出する状態に溝を形成するとともに、前記第1絶縁膜に該開口部を通じて下層配線に達する接続孔を形成する工程と、を備えたことを特徴とする多層配線の形成方法。

【請求項2】 請求項1記載の多層配線の形成方法において、

前記第2絶縁膜は、エッチングによって前記接続孔が形成された後も残存する厚さに形成されていることを特徴とする多層配線の形成方法。

【請求項3】 請求項1記載の多層配線の形成方法において、

前記基板上に設けた下層配線を覆う状態に第1絶縁膜を形成した後、該第1絶縁膜の表面を平坦化してから、該第1絶縁膜よりもエッチング速度が遅い第2絶縁膜を該第1絶縁膜上に形成することを特徴とする多層配線の形成方法。

【請求項4】 請求項2記載の多層配線の形成方法において、

前記基板上に設けた下層配線を覆う状態に第1絶縁膜を形成した後、該第1絶縁膜の表面を平坦化してから、該第1絶縁膜よりもエッチング速度が遅い第2絶縁膜を該第1絶縁膜上に形成することを特徴とする多層配線の形成方法。

【請求項5】 請求項1記載の多層配線の形成方法において、

前記第1絶縁膜および前記第3絶縁膜のうち少なくとも一方は、酸化シリコンの誘電率よりも低い誘電率を有する材料で形成され、

前記開口部を通じて下層配線に達する接続孔を前記第3絶縁膜と第1絶縁膜とに形成するとともに上層配線を形成する領域の前記第3絶縁膜に溝を形成した後、該接続孔の側壁および該溝の側壁にサイドウォール絶縁膜を形成することを特徴とする多層配線の形成方法。

【請求項6】 請求項2記載の多層配線の形成方法にお

いて、

前記第1絶縁膜および前記第3絶縁膜のうち少なくとも一方は、酸化シリコンの誘電率よりも低い誘電率を有する材料で形成され、

前記開口部を通じて下層配線に達する接続孔を前記第3絶縁膜と第1絶縁膜とに形成するとともに上層配線を形成する領域の前記第3絶縁膜に溝を形成した後、該接続孔の側壁および該溝の側壁にサイドウォール絶縁膜を形成することを特徴とする多層配線の形成方法。

10 【請求項7】 請求項3記載の多層配線の形成方法において、

前記第1絶縁膜および前記第3絶縁膜のうち少なくとも一方は、酸化シリコンの誘電率よりも低い誘電率を有する材料で形成され、

前記開口部を通じて下層配線に達する接続孔を前記第3絶縁膜と第1絶縁膜とに形成するとともに上層配線を形成する領域の前記第3絶縁膜に溝を形成した後、該接続孔の側壁および該溝の側壁にサイドウォール絶縁膜を形成することを特徴とする多層配線の形成方法。

20 【請求項8】 請求項4記載の多層配線の形成方法において、

前記第1絶縁膜および前記第3絶縁膜のうち少なくとも一方は、酸化シリコンの誘電率よりも低い誘電率を有する材料で形成され、

前記開口部を通じて下層配線に達する接続孔を前記第3絶縁膜と第1絶縁膜とに形成するとともに上層配線を形成する領域の前記第3絶縁膜に溝を形成した後、該接続孔の側壁および該溝の側壁にサイドウォール絶縁膜を形成することを特徴とする多層配線の形成方法。

30 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路の多層配線の形成方法に関するものである。

【0002】

【従来の技術】 近年、半導体集積回路の集積規模が拡大するにつれて、半導体基板に形成される能動素子等のような素子の大きさはますます微細化が図られている。一方、これらの素子間を連結する配線は、微細化にともなう素子性能の向上にも係わらず、電流密度等の制約から、微細化に対応して細線化を図ることができない。この問題を克服するために、複数の配線層を形成して能動素子間を連結する構造が採用されている。配線層を多層化する構成として、特にゲートアレイ等の特定用途向けの集積回路では、その配線層数は5層ないし6層にも及ぶ[The National Technical Roadmap for Semiconductors (1994) (Semiconductor Industry Association) p. 98]。そのため、各素子と配線、もしくは重なり合う配線層同志の接続数は膨大なものになる。

【0003】 他方、配線幅を微細化するとともに、LSIの低消費電力化、および高性能化の要請から、同一配

線層内の配線間の容量を低減させるために、配線高さを低くする必要があり、銅等の低抵抗でかつエレクトロマイグレーション耐性、すなわち、許容電流密度の高い配線材料を用いることが検討されている。低抵抗の銅を用いて許容電流密度を向上させる場合には、銅そのものの加工性が困難であることから、金属の化学的機械研磨（以下、CMPという、CMPはChemical Mechanical Polishingの略）技術を用いた埋め込み配線が提案されている。

【0004】従来の多層配線および配線層間の接続（いわゆるヴィアホール接続）で0.25 $\mu$ m世代の半導体集積回路に対応する方法を、図9によって説明する。

【0005】図9の（1）に示すように、能動素子（図示省略）を形成した基板111上に絶縁膜112を形成した後、この絶縁膜112上に複数の配線からなる第1配線113を形成する。

【0006】次いで図9の（2）に示すように、例えばオゾン-TEOS-CVDあるいはプラズマ支援のTEOS-CVD技術（TEOSはテトラエトキシシランの略、CVDはChemical Vapour Depositionの略で化学的気相成長をいう）によって、上記第1配線113を覆う状態に上記絶縁膜112上に、層間絶縁膜114を形成する。この層間絶縁膜114は、第1配線113とこれから形成される第2配線とを電気的に分離するものである。通常は、上記層間絶縁膜114には、第1配線113の相互間の間隙を充填するために流動性の高いTEOS-CVD技術が好んで用いられるが、電子サイクロトロン共鳴（ECRという、ECRはElectron Cycrotron Resonanceの略）CVD法、SOG（Spin on glassの略）技術も用いられている。

【0007】続いて、通常のフォトリソグラフィ技術によって、第1配線113とこれから形成される第2配線との接続をとる部分のみに開口部を設けたレジストパターン（図示省略）を形成し、それをエッチングマスクに用いた反応性イオンエッチングによって、層間絶縁膜114にほぼ0.35 $\mu$ m径の接続孔115を形成する。その後上記レジストパターンを除去する。

【0008】その後、図9の（3）に示すように、スパッタリングによって密着層116を形成した後、さらに図9の（4）に示すように、スパッタリングによって、接続のための金属の充填および第2配線を形成するためにアルミニウム系金属層117を形成する。ここで、微細化された集積度の高い集積回路においては、接続孔115のアスペクト比が2程度と高く、接続孔115に十分に金属を充填し、導通を確保するためには、500℃以上の温度に加熱して、アルミニウム系金属の流動性を高めて接続孔115に流し込むことが必要になる。次に、通常のフォトリソグラフィ技術とエッチング技術とによって、上記アルミニウム系金属層117をパターニングして、接続部分を含む所望の配線パターンを形成

する。

【0009】上記アルミニウム系金属を接続孔の内部に流し込む方法としては、スパッタリングを行う際に基板111を500℃程度に加熱して、おき、アルミニウム系金属層117を形成すると同時に接続孔115への流し込みを行う方法、もしくは、接続孔115を形成した後、高真空中でのスパッタリングによって、接続孔115を埋め込まない状態にアルミニウム系金属層117を形成しておき、その後500℃程度かつ20MPa以上の高圧容器内でアルミニウム系金属層117を接続孔115の内部に押し込む方法が行われている。

【0010】他方、導通をとるための接続孔に充填される金属には、アルミニウム系金属の他に、タングステン（W）が用いられる。タングステンの場合には、表面反応をその機構とするCVD技術によって、例えば0.25 $\mu$ m世代のLSIの場合、接続孔の径が0.35 $\mu$ m程度、深さが0.6 $\mu$ m程度の細くアスペクト比の高い接続孔に対しても充填が可能である。この方法は、まず、接続孔が形成された基板上の全面にわたって、タングステンを堆積し、反応性イオンエッチングにより、平坦部のタングステンのみを除去して、接続孔の内部にタングステンプラグを形成する。次いでスパッタリング等の通常の成膜技術によってアルミニウム系金属を堆積し、さらにアルミニウム系金属をパターニングして第2配線を形成するものである。

【0011】上記説明したいずれの方法においても、接続孔の内部へ金属を充填する前段に、スパッタリングまたはCVD技術を用いて、バリアメタルもしくは密着層を形成する必要がある。アルミニウム系金属を充填する場合に、酸化物を含む層間絶縁膜に接した場合にはアルミニウムの酸化による流動性の低下が起きる。それを防ぐために窒化チタン（TiN）薄膜からなるバリアメタルを形成する必要がある。タングステンの場合には酸化膜等が露出している層間絶縁膜表面および接続孔側壁でタングステンの密着性が低下する。そのため、はがれるのを防止するために窒化チタン薄膜の密着層を形成する必要がある。

【0012】また、アルミニウムを母体とする配線のエレクトロマイグレーション耐性を向上させる方法の一つに、アルミニウムに銅を添加し、その濃度を増加させる方法が提案されている。そして配線に、アルミニウムを母体とし、アルミニウムよりも質量の大きな銅を例えば0.5%程度含むアルミニウム系金属を用いる技術が知られている。電子によるアルミニウムの散乱は、アルミニウムの結晶粒界におけるものが最も著しく、銅をこの結晶粒界に適当に分散させることによって散乱を低減し、エレクトロマイグレーション破壊を起こしにくくするという効果を得ている。

【0013】ここで0.25 $\mu$ m世代のLSIに対応した、アルミニウムを母体とする配線構造の典型的な例を

説明する。0.25  $\mu\text{m}$  世代では、配線211の高さは0.6  $\mu\text{m}$ 、配線の幅は0.35  $\mu\text{m}$ 程度の構造になり、 $1 \times 10^5 \text{ A/cm}^2$ の電流密度に耐えなければならない。さらに、微細な0.18  $\mu\text{m}$ 世代に対応したLSIでは、配線間の間隔の縮小にもかかわらず、低消費電力化、高速化の要請から、配線の厚さを薄くし、配線によって構成される配線層内の配線間容量を低減させることが必要になる。したがって、配線の断面積をさらに小さくさせてエレクトロマイグレーション耐性を向上させるか、もしくはエレクトロマイグレーション耐性に優れた材料を採用しかつ配線の抵抗を低減させることが重要になる。

【0014】従来のアルミニウムを母体とする配線材料に対して、抵抗率が低くかつエレクトロマイグレーション耐性に優れた銅を配線材料として用いる方法が提案されている。この方法の場合には、銅は高い蒸気圧の化合物が形成されにくいため、通常の反応性イオンエッチングによって配線パターンを形成することは困難であるので、金属のCMP技術を駆使した埋め込み配線構造が提案されている。埋め込み配線としては、下層の配線からの接続プラグを形成した後、配線部分のみを銅などで埋め込む構造が初期に提案されているが、この例では、配線層間の接続も銅によって形成する。いわゆる、デュアルダマシン法(Dual Damascene法) [VMIC Conference (1991)Carter W.Kaante et.al.p144] について、図10によって説明する。

【0015】図10の(1)に示すように、半導体基板211上には絶縁膜212が形成され、さらにこの絶縁膜212上には第1配線213が形成されている。TEOS系のCVD法のような成膜技術によって、上記のような半導体基板211に、いわゆるギャップフィル(Gap Fill)絶縁膜および配線層間に容量が付かないようにするための絶縁膜を堆積する。その後、CMPのような平坦化技術によって、表面が平坦化された層間絶縁膜214を形成する。次いでCVD法によって、上記層間絶縁膜214上にエッチング停止絶縁膜215を形成した後、さらに配線間絶縁膜216を形成する。そして層間絶縁膜214は、第1配線213上の配線層間容量が問題とならない程度の厚さ(例えば0.6  $\mu\text{m}$ 程度)に形成する。

【0016】次いで、図10の(2)に示すように、通常の塗布技術によって、上記配線間絶縁膜216上にレジスト膜217を形成した後、フォトリソグラフィ技術によって、配線を形成すべき領域上のレジスト膜217に開口部218を形成する。そして、このレジスト膜217をエッチングマスクに用いたエッチングによって、配線の高さとして必要とされるおよそ0.6  $\mu\text{m}$ 程度の深さの溝219を配線間絶縁膜216に形成する。このエッチングでは、エッチング停止絶縁膜215によってエッチングが停止される。

【0017】次いで図10の(3)に示すように、上記レジスト膜217を除去した後、再びレジスト膜220を塗布によって形成し、フォトリソグラフィ技術によって、第1配線213と接続を取るべき箇所に開口部221を形成する。そして、そのレジスト膜220をエッチングマスクに用いたエッチングによって第1配線213が露出するまで、エッチング停止絶縁膜215および層間絶縁膜214をエッチングして接続孔222を形成する。その後、上記レジスト膜220を除去する。

【0018】次いで図10の(4)に示すように、CVD法によって、配線となるべき銅223を層間絶縁膜214から配線間絶縁膜216の厚さを超える厚さに、例えば1.5  $\mu\text{m}$ の厚さに堆積する。

【0019】その後、金属を研磨するのに適した条件でのCMP技術によって、溝219の内部および接続孔222の内部に形成されている以外の部分の銅223を研磨によって除去する。その結果、図10の(5)に示すように、接続孔222の内部に接続プラグ部224を形成するとともに溝219の内部に第2配線225を形成する。

【0020】上記従来例では、まず第2配線225を形成すべき溝219を形成し、その後、接続プラグ部224を形成すべき接続孔222をエッチングする例を説明したが、これらを逆の順序で形成する方法も提案されている。

【0021】

【発明が解決しようとする課題】0.18  $\mu\text{m}$ 世代以降の超LSIにおいては、配線の幅が0.18  $\mu\text{m}$ 世代では0.22  $\mu\text{m}$ 、0.13  $\mu\text{m}$ 世代では0.15  $\mu\text{m}$ 程度(The National Technical Roadmap for Semiconductors(1994)Semiconductor Industry Association,p.98)と微細化される。また、配線材料の抵抗としては、0.18  $\mu\text{m}$ 世代では0.29  $\Omega/\mu\text{m}$ 以下、0.13  $\mu\text{m}$ 世代では0.82  $\Omega/\mu\text{m}$ 以下に抑えることが必要であると予測されている。しかしながら、アルミニウム単体ではアルミニウム原子の質量が比較的小さいため、高い密度の電流が流れる配線部分では多数の電子の衝突によるアルミニウム原子の散乱が起こり、長期間の使用のうちには配線の一部分が欠落して、やがては断線に至る。いわゆる、エレクトロマイグレーション破壊を発生することから、高い密度で電流を流すことはできないという課題がある。

【0022】また、アルミニウムを母体とし、アルミニウムよりも質量の大きな銅を例えば0.5%程度含むアルミニウム系金属を配線に用いた場合には、反応性イオンエッチングの過程で反応し難い銅が残渣として残り易いため、微細加工が困難である。さらにアルミニウムの結晶粒界に均一かつ高濃度に銅を分散させることが難しく、銅を0.5%以上添加することは困難となっている。

【0023】一方、タングステンプラグを形成する方法では、微細な接続孔への充填が可能ではあるが、層間絶縁膜上に堆積されているタングステンを除去した後、配線となるアルミニウム系金属を堆積させる工程が必要になる。そのため、配線層の形成工程が長くなり、ターンアラウンドタイムの増加および製作されたLSIの価格の上昇を来すという欠点を有する。また、 $0.18\mu\text{m}$ 以下の世代の接続方法として用いる場合には、接続孔の径は $0.20\mu\text{m}$ 、アスペクト比は3程度となるため、いわゆる「す」を形成することなくタングステンを充填するために接続孔の側壁に傾斜を持たせる必要が生じる。これは接続孔の径が大きくなることになるので、微細化にとって障害になる。

【0024】さらに、アルミニウムを母体とする配線材料やタングステンプラグでは、上記仕様を達成することが困難であり、そこで配線材料としては、配線抵抗は低く、エレクトロマイグレーション耐性に優れた銅、銅系合金等の材料を用いる必要がある。

【0025】また、図11のレイアウト図に示すように、下層配線となる第1配線（図示省略）とその上層に形成される第2配線117とを接続するために、層間絶縁膜（図示省略）には接続孔115が形成される。この接続孔115を埋め込む状態に上記第2配線117を形成するには、接続孔115との合わせずれ余裕を取って第2配線117の幅を決定する必要がある。すなわち、接続孔115上の第2配線117の幅 $w_1$ は合わせずれ余裕 $d$ を含めた幅（図面では、片側ずつ $d/2$ の合わせずれ余裕を取っている）に設計しなければならない。それは配線間隔 $D$ を合わせずれ余裕 $d/2$ の分だけ広く取ることになるので、微細化にとっては障害となる。

【0026】一方、上記デュアルダマシニング法では、先に形成した配線溝に重ねて接続孔を形成する（または先に形成した接続孔に重ねて接続孔または配線溝を形成する）ため、段差上にレジストパターンを形成するリソグラフィ工程を行わなければならない。そのため、レジストパターンは段差部での光の反射等によってパターンの変形を生じ易い。これが微細化にとって障害になる。さらに、エッチングによって溝を形成した後、リソグラフィ工程を経て再びエッチングによって接続孔を形成することになり、2度のエッチング工程が必要になる。しかも2回目のエッチング工程では、通常、窒化シリコンで形成されているエッチング停止絶縁膜と酸化シリコンで形成されている層間絶縁膜とを連続的にエッチングするため、エッチングプロセスが複雑になる。すなわち、それぞれの膜をエッチングするために、エッチング条件（例えばエッチングガス、プラズマ電力等）を変更しなければならない。そのため、実質的には、3回のエッチング工程を行うのと等しくなる。

【0027】また従来のデュアルダマシニング法では、図12の（1）に示すように、レジスト膜220にレジスト

開口部221を形成するリソグラフィ工程において、溝219に対してレジスト開口部221が合わせずれ $e$ を生じた場合には、その後、上記レジスト膜220をマスクにしたエッチングによって、上記レジスト開口部221を転写する状態に形成される接続孔222は溝219に対してずれた状態で形成されることになる。

【0028】すなわち、図12の（2）の断面図および（3）のレイアウト図に示すように、溝219に対して接続孔222が $e$ だけずれた位置に形成される。そのため、この接続孔222に形成される接続プラグ224と、接続孔222がずれた側に隣接する第2配線225（225b）との間隔 $s$ ははずれた分だけ設計値よりも狭くなる。そこで、配線間隔 $s$ を確保するように第2配線225（225a, 225b）を形成するには、合わせずれ $e$ の分だけ第2配線225（溝219）同士の間隔を広くして、該第2配線225（溝219）を形成しなければならない。このことは、微細化にとって障害となる。

【0029】

【課題を解決するための手段】本発明は、上記課題を解決するためになされた多層配線の形成方法である。すなわち、基板上に設けた下層配線を覆う状態に第1絶縁膜を形成した後、この第1絶縁膜よりもエッチング速度が遅い第2絶縁膜を第1絶縁膜上に形成する工程を行う。次いで、下層配線に通じる接続孔を形成する領域の第2絶縁膜に開口部を形成する工程を行う。続いて、開口部上および第2絶縁膜上にこの第2絶縁膜よりもエッチング速度が速い第3絶縁膜を形成する工程を行う。さらにエッチングによって、上層配線を形成する領域の第3絶縁膜に少なくとも開口部が露出する状態に溝を形成するとともに、第1絶縁膜にこの開口部を通じて下層配線に達する接続孔を形成する工程を行う。その後、接続孔内に導電体を埋め込むことで接続プラグを形成するとともに、溝内に導電体を埋め込むことで上層配線を形成する。

【0030】上記多層配線の形成方法では、基板上に設けた下層配線を覆う状態に第1絶縁膜を形成し、次いでこの第1絶縁膜よりもエッチング速度が遅い第2絶縁膜を第1絶縁膜上に形成した後、下層配線に通じる接続孔を形成する領域上の第2絶縁膜に開口部を形成する。その後、開口部上および第2絶縁膜上にこの第2絶縁膜よりもエッチング速度が速い第3絶縁膜を形成している。そのため、エッチングによって第3絶縁膜に溝を形成した際、この溝の形成は第2絶縁膜によって停止される。さらにエッチングを進めると、第2絶縁膜はエッチングマスクになり、第2絶縁膜に形成した開口部下の第1絶縁膜がエッチングされ、そこに接続孔が形成される。このとき、第2絶縁膜は第1絶縁膜よりもエッチング速度が遅いため、第3絶縁膜に形成された溝は必要以上に深くない。したがって、2回のエッチング工程によ

10

20

30

40

50

て溝と接続孔とが形成される。その際、第1回目のエッチングでは第2絶縁膜をエッチングし、第2回目のエッチングでは同種の材料で形成することが可能な第1絶縁膜と第3絶縁膜とをエッチングする。そのため、それぞれのエッチングプロセスが簡単になる。特に第2回目のエッチングでは、2層の絶縁膜（第1絶縁膜と第3絶縁膜）のエッチングを行うが、同一エッチング条件でのエッチングが可能である。

【0031】また、第1絶縁膜に大きな段差となる溝や接続孔を形成していないので、第3絶縁膜18の表面は大きな段差を生じていない。そのため、溝や接続孔を形成する際に、下地段差の影響をほとんど受けることがないので、溝や接続孔を微細かつ高精度に形成することが可能になる。そのことは、第1絶縁膜の表面を平坦化することによって、さらに向上する。

【0032】

【発明の実施の形態】本発明の第1実施形態の一例を図1および図2の製造工程図によって説明する。図1および図2では、一例として、デュアルダマシン法を改良した2層配線構造の形成方法を示した。

【0033】集積回路の能動素子（図示省略）が形成され、その能動素子を覆う状態に絶縁層（図示省略）が形成された基板（以下、半導体基板という）11上に、下層配線12を形成する。上記下層配線12は、例えば、スパッタリングまたは化学的気相成長法等の成膜技術による下層配線12を形成するための導電層の形成と、リソグラフィ技術とエッチング技術とによる導電層のパターニングとによって形成されるものである。

【0034】次いで、上記半導体基板11上に上記下層配線12を覆う第1絶縁膜13を形成する。ここでは、上記第1絶縁膜13は、CVD法によって例えば酸化シリコン（ $\text{SiO}_2$ ）で形成される。そして、第1絶縁膜13は、第1絶縁膜13の表面を平坦化した後に下層配線12とこれから形成する上層配線との配線層間容量が十分に低くなる厚さとなる、例えば600nm程度を確保するように形成される。そのため、その後平坦化技術（例えば、CMP）によって、第1絶縁膜13の表面を平坦化しても、下層配線12上の第1絶縁膜13は600nm程度の厚さが確保される。

【0035】次いで、第1絶縁膜13上に第2絶縁膜14を堆積させる。この第2絶縁膜14は、第1絶縁膜13をエッチングする際に、第1絶縁膜13に比較してエッチング速度が十分に小さい、すなわち第1絶縁膜13に対してエッチング選択比が大きい、例えば窒化シリコン（ $\text{Si}_3\text{N}_4$ ）等の絶縁材料からなり、例えば20nm程度の厚さに形成する。この第2絶縁膜14の厚さは、第1絶縁膜13をエッチングした際に、露出している第2絶縁膜が残るように設定される。例えば、オクタフルオロブタン（ $\text{C}_4\text{F}_8$ ）のような窒化シリコンに対して酸化シリコンを選択的にエッチングするガスを用い

た反応性イオンエッチングによって、酸化シリコンからなる第1絶縁膜13をエッチングする場合では、酸化シリコンに対する窒化シリコンからなる第2絶縁膜14のエッチング選択比は30程度になることから、第2絶縁膜14は20nmの厚さに設定される。

【0036】その後図1の（2）に示すように、塗布技術によって、レジスト膜15を形成した後、通常のリソグラフィ技術によって、下層配線12に接続するための接続孔が形成される領域上の上記レジスト膜15にレジスト開口部16を形成する。続いて上記レジスト膜15をエッチングマスクとして用いた反応性イオンエッチングによって、上記第2絶縁膜14に開口部17を形成する。このエッチングは、例えばトリフルオロメタン（ $\text{CHF}_3$ ）のような窒化シリコンをエッチングするガスを用い、反応性イオンエッチング装置（図示省略）によって行った。

【0037】続いて図1の（3）に示すように、CVD法によって、開口部17上および第2絶縁膜14上に、この第2絶縁膜14よりもエッチング速度が速い第3絶縁膜18として、例えば上記第1絶縁膜13と同種の膜を、上層配線を埋め込む溝を形成するために必要とされる厚さ（例えば、600nm程度の厚さ）に堆積する。

【0038】次いで図1の（4）に示すように、塗布技術によってレジスト膜19を形成した後、リソグラフィ技術を用いて、上層配線を埋め込むための溝を形成する領域上の上記レジスト膜19にレジスト開口部20を形成する。続いて上記レジスト膜19を用いた反応性イオンエッチングによって、上記第3絶縁膜18に溝21（21a、21b）を形成する。この溝21bは上記開口部17上に形成される。このエッチングは、例えばオクタフルオロブタン（ $\text{C}_4\text{F}_8$ ）のような窒化シリコンに対して酸化シリコンを選択的にエッチングするガスを用い、反応性イオンエッチング装置（図示省略）によって行った。さらに上記エッチングを進めて、開口部17より第1絶縁膜13をエッチングして下層配線12に達する接続孔22を形成する。このとき、第2絶縁膜14が第1絶縁膜13よりもエッチング速度が十分に遅い窒化シリコンで形成されているため、第2絶縁膜14はエッチングマスクの作用をなす。そのため、第2絶縁膜14上に形成された溝21は、必要以上に深くなることはない。

【0039】次いで図2の（1）に示すように、CVD法によって、上記接続孔22および上記溝21の各内部を埋め込むとともに、第3絶縁膜18上の上面18uを超える高さになるまで導電体23を堆積する。この導電体23は、例えば銅からなる。

【0040】その後平坦化技術として、例えばCMPによって、配線部分以外の導電体23、すなわち第3絶縁膜18上の導電体23を完全に除去して、図2の（2）に示すように、接続孔22の内部に接続プラグ24を形



成するとともに溝21の内部に上層配線25(25a, 25b)を形成する。そして上記接続孔22は上記溝21の一部分に接続していることから、この上層配線25bの一部分は接続プラグ24に接続される。したがって、接続プラグ24によって、上層配線25bと下層配線12とが接続される多層配線構造が完成される。

【0041】上記第1実施形態では、2層配線構造の形成方法を示したが、3層以上の配線構造を形成する場合には、上記上層配線を下層配線として、上記説明したのと同様のプロセスを行えばよい。

【0042】また上記導電体23は、CVDによって堆積した銅に限定されることはなく、電気抵抗が低くエレクトロマイグレーション耐性に優れた材料であれば、銅以外の材料、例えば銅合金または他の金属材料であっても差し支えはない。また、その堆積方法も、埋め込み特性に優れた方法であれば、CVD法に限定されるものではない。

【0043】さらに、上記第1絶縁膜13および第3絶縁膜18は酸化シリコンで形成し、上記第2絶縁膜14は窒化シリコンで形成した例によって説明したが、絶縁性が良く、互いにエッチング速度が大きく異なる絶縁膜であれば、上記材料に限定されることはない。例えば、炭素(C)原子を含む低誘電率材料として、有機SOG(誘電率 $\epsilon=3.0\sim3.5$ )、ポリイミド(誘電率 $\epsilon=3.0\sim3.5$ )、ベンゾシクロブテン(誘電率 $\epsilon=2.6$ )、ポリバラキシリレン(誘電率 $\epsilon=2.4$ )等がある。これらの材料は、炭素原子、いわゆるアルキル基を含むことで材料の密度を低下させること、および原子自信の分極率を低下させることで、低誘電率になっている。また、これらの材料は、単に誘電率が低いだけでなく、半導体装置材料としての耐熱性を有している。ポリイミドはイミド結合を有することで、ベンゾシクロブテンやポリバラキシリレンはベンゼン環のポリマーとなることで、それぞれ耐熱性を有している。

【0044】またさらに上記各種膜の成膜方法は、上記説明した方法に限定されることはなく、CVD法、スパッタリング法、蒸着法、塗布法等、各種成膜方法のうちから最適な方法を選択することができる。

【0045】上記第1実施形態で説明した多層配線の形成方法では、半導体基板11上に設けた下層配線12を覆う状態に第1絶縁膜13を形成し、さらにこの第1絶縁膜13よりもエッチング速度が遅い第2絶縁膜14を積層状態に形成した後、下層配線12に通じる接続孔を形成する領域上の第2絶縁膜14に開口部17を形成する。その後、開口部17上および第2絶縁膜14上にこの第2絶縁膜14よりもエッチング速度が速い第3絶縁膜18を形成している。そのため、第3絶縁膜18は第2絶縁膜14に対してエッチング選択性がとれ、第1絶縁膜13は第2絶縁膜14に対してエッチング選択性がとれる。

【0046】したがって、エッチングによって第3絶縁膜18に溝21を形成した際、この溝21の形成は第2絶縁膜14によって停止される。さらにエッチングを進めると、第2絶縁膜14はエッチングマスクになり、第2絶縁膜14に形成した開口部17下の第1絶縁膜13がエッチングされ、そこに接続孔22が形成される。このとき、第2絶縁膜14は第1絶縁膜13よりもエッチング速度が遅いため、第3絶縁膜18に形成された溝21は必要以上に深くならない。よって、2回のエッチング工程によって溝21と接続孔22とが形成される。その際、第1回目のエッチングでは第2絶縁膜14をエッチングし、第2回目のエッチングでは同種の材料で形成される第1絶縁膜13と第3絶縁膜18とをエッチングする。そのため、それぞれのエッチングプロセスが簡単になる。特に第2回目のエッチングでは、2層の絶縁膜(第1絶縁膜13と第3絶縁膜18)のエッチングを行うが、同一エッチング条件でのエッチングが可能である。

【0047】さらに、溝21を形成するまで、薄く形成できる第2絶縁膜14を除いて、第1絶縁膜13に段差となる溝や接続孔を形成していない。そのため、第3絶縁膜18の表面は大きな段差を生じていないため、溝21や接続孔22を形成するためのリソグラフィ技術は、下地段差の影響をほとんど受けることがないので、溝21や接続孔22を高精度にパターンニングすることが可能になる。

【0048】また、上記第1実施形態で説明したように、第1絶縁膜13の表面を平坦化した場合には、第2絶縁膜14に開口部17を形成しても、第2絶縁膜14の膜厚は薄い(例えば、20nm)ので、第3絶縁膜18の表面はほぼ平坦な状態に形成される。そのため、溝21や接続孔22のパターンニングをさらに高精度に行うことが可能になる。それは、溝21や接続孔22を形成するためのレジスト膜19が平坦な第3絶縁膜18上に形成されるため、レジスト膜19を感光する際に下地段差からの光の反射によるパターンの変形がほとんど起こらないためである。したがって、レジスト膜19に形成されるレジスト開口部20が高精度かつ微細形状に形成することが可能になるので、レジスト開口部20が転写されて形成される溝21および接続孔22も高精度かつ微細形状(例えば、0.18 $\mu\text{m}$ 世代のLSIに対応する大きさ)に形成することが可能になる。

【0049】また、第1絶縁膜13は接続プラグ24の高さに相当する厚さに形成され、第3絶縁膜は上層配線25の高さに相当する厚さに形成されている。そのため、上層配線25の高さは第3絶縁膜18の厚さによって規定され、接続プラグ24の高さは第1絶縁膜13の厚さによって規定される。よって、上層配線25の高さおよび接続孔プラグ24の高さは精度よくかつ再現性よく決定される。特に第1絶縁膜13の表面を平坦化した場

合には、その精度はさらに高まる。

【0050】さらに、溝21と接続孔22とは同一マスク（レジスト開口部20を形成したレジスト膜19）を用いたエッチングによって形成されるので、隣接する溝間の間隔、すなわち上層配線25の配線間隔は、マスクによって規定され、接続孔22の形成では影響を受けない。

【0051】なお、上記第1実施形態において、第3絶縁膜18から開口部17を通して第1絶縁膜13に接続孔22を形成する場合には、溝21を形成するパターンとともに接続孔22を形成する開口パターン（図示省略）をレジスト膜19に形成して、第3絶縁膜18および第1絶縁膜13のエッチングを行えばよい。

【0052】次に上記第1実施形態において、溝21（21b）と接続孔22との合わせずれ余裕を取ってこの接続孔22を形成する製造方法を、図3および図4によって説明する。

【0053】図3に示すように、前記図1の（2）によって説明した開口部17を第2絶縁膜16に形成する際に、上層配線25（2点鎖線で示す部分）の配線方向と直交する方向における上記開口部17の幅aは、以下のように決定される。すなわち、リソグラフィー時に生じるマスク合わせずれ量（通常のマスク合わせずれ量は $0.1\mu\text{m}\sim 0.2\mu\text{m}$ 程度である）を考慮して、開口部17は、少なくとも $w+2d < a$ なる関係を満足するように設計する。ここでdは接続孔22の設計位置に対する合わせずれ余裕（ $d >$  合わせずれ量）を表し、wは上層配線25の幅、すなわち実質的には上層配線25が形成されることになる溝21の幅を表す。例えば、 $0.35\mu\text{m}$ ルールでは、 $w=0.35\mu\text{m}$ 、 $d=0.15\mu\text{m}$ として開口部17の上層配線と直交する方向の幅aの許容範囲を求めると、 $0.65 < a$ なる関係を満足すればよい。したがって、溝21の設計幅に対して開口部17の幅は片側で $0.15\mu\text{m}$ 広げれば十分である。

【0054】一方、上層配線の配線方向には、合わせずれ余裕を考慮する必要はない。したがって、上記配線方向の接続孔22の寸法は設計寸法としてよい。なお、上記開口部17を形成するエッチングの際に、第2絶縁膜14がサイドエッチングされる場合には、このサイドエッチング量を差し引いて上記合わせずれ余裕dを決定する。

【0055】上記のような条件によって開口部17を形成した後、前記図1の（3）および（4）で説明したのと同様にして、溝21、接続孔22等を形成する。図4は、溝21と接続孔22とを形成した状態を示しており、（1）は平面レイアウト図、（2）はA-A線断面図、（3）はB-B線断面図を示す。

【0056】図4に示すように、開口部17は上層配線が形成される溝21に直交する方向に合わせずれ余裕を付加した寸法で形成されている。そのため、接続孔22

を形成する際に合わせずれが生じても、接続孔22は、溝21に直交する方向の第2絶縁膜14にかからないで形成することが可能になっている。しかも、接続孔22と上層配線が埋め込まれる溝21とは同一マスク（レジスト膜19）を用いたエッチングによって形成されるため、上層配線に直交する方向の溝21の幅wdと接続孔22の幅whとは自己整合的に同じになる。一方、上層配線が形成される溝21の配線方向における開口部17の幅bは、配線方向の合わせずれが問題にならないので、接続孔22の設計寸法で形成されている。そのため、接続孔22の配線方向の幅bhは、第2絶縁膜14がエッチングマスクになって形成されるので、開口部17の幅bが転写される。

【0057】上記説明したように、開口部17を合わせずれ余裕を考慮して形成することにより、接続孔22に形成される接続プラグ24と上層配線25との接続面積が確保される。ちなみに開口部17を合わせずれ余裕を考慮しないで形成した場合には、図5に示すように、溝21に対して接続孔22がeだけずれた位置に形成され、それによって、この接続孔22に形成される接続プラグ24と溝19に形成される上層配線25との接続面積は、上記ずれた分だけ設計値よりも小さくなる。したがって、接続プラグ24と上層配線25との接続面積が小さくなることにより接続抵抗は高くなるので、信号遅延、駆動電流の低下等の課題が発生することになる。しかしながら、上記のように開口部17を合わせずれ余裕を考慮して形成することにより、このような課題は解決されるので、信号遅延、駆動電流の低下等の課題も解決される。

【0058】ところが、図6に示すように、設計上、上層配線25が所定の配線間隔sで並列に配設される場合には、開口部17の幅aは上層配線25の配線間隔sを考慮して決定されなければならない。すなわち、隣接する上層配線25に開口部17がオーバーラップしないように、上層配線25に対して直交する方向の開口部17の幅aを決定するには、 $w+2d < a < w+2s-2d$ なる関係を満足すればよい。ここでdは上層配線25（接続孔22も含む）の設計位置に対する合わせずれ余裕（ $d >$  合わせずれ量）を表し、wは上層配線25の幅（実質的には上層配線25が形成される溝21の幅と同一）を表す。なお、2点鎖線で示す部分は上層配線25の設計位置を示す。

【0059】したがって、上層配線25が形成される溝21の設計幅に対して開口部17の幅aは片側で $(w+2d)/2$ より大きく $(w+2s-2d)/2$ より小さい合わせずれ余裕の分だけ広げる必要がある。例えば、 $0.35\mu\text{m}$ ルールでは、 $w=0.35\mu\text{m}$ 、 $s=0.35\mu\text{m}$ 、 $d=0.15\mu\text{m}$ として、開口部17の幅aを求めると、 $0.65 < a < 0.75$ なる関係を満足すればよい。したがって、溝21の設計幅に対して開口部

17の幅は片側で $0.15\mu\text{m}$ より大きく $0.2\mu\text{m}$ より小さい合わせずれ余裕の分だけ広げ必要がある。

【0060】また図7に示すように、設計上、上層配線25が所定の配線間隔 $s$ で並列に配設されている。そして接続孔22が上層配線25に直交する方向に隣接して形成される場合には、この接続孔22の幅 $a$ は合わせずれ余裕を見込まない設計寸法 $a_b$ （開口部17が形成される上層配線25の配列のうち、一方の外側に位置する上層配線25の外側側壁と他方の外側に位置する上層配線25の外側側壁との距離で決定される寸法）に対し、 $d_a < p < s - d_a$ なる関係を満足する合わせずれ余裕 $p$ を付加すればよい。ただしここでは、上層配線25の設計位置を2点鎖線で示し、その設計位置と実際に形成される上層配線25（実線で示す部分）との最大ずれ量を $d_a$ としている。

【0061】したがって、開口部17の設計幅 $a_b$ に対して開口部17の幅 $a$ は片側で $d_a/2$ より大きく $(s - d_a)/2$ より小さい合わせずれ余裕の分だけ広げ必要がある。また上記の場合には、図示したように、開口部17は隣接する上層配線25にまたがって連続して形成することが可能である。

【0062】また、上記図7によって説明した接続孔22の断面形状は、図示したように正方形に限定されることはなく、長方形、円形、楕円形等の他の形状であってもよい。

【0063】次に、本発明の第2実施形態の一例を図8の製造工程図によって説明する。図8では、配線層間の絶縁膜として、フッ素を含む酸化シリコン〔以下、酸フッ化ケイ素（ $\text{SiOF}$ ）という〕等の、いわゆる低誘電率膜を用いた製造方法を説明する。また、上記第1実施形態で説明したのと同様の構成部品には同一符号を付して説明する。

【0064】前記図1によって説明したのと同様の方法によって、図8の（1）に示すように、半導体基板11上に下層配線12を形成し、次いで半導体基板11上に上記下層配線12を覆う第1絶縁膜13を、酸フッ化シリコン（ $\text{SiOF}$ ）で形成する。その後CMPのような平坦化技術によって、この第1絶縁膜13の表面を平坦化する。なお、平坦化した後の上記第1絶縁膜13は、下層配線12とこれから形成する上層配線との配線層間容量が十分に低くなる例えば $600\text{nm}$ 程度の厚さに確保されている。次いで、第1絶縁膜13上に第2絶縁膜14を堆積させる。この第2絶縁膜14は、第1絶縁膜13よりエッチング速度が十分に小さい、例えば窒化シリコン（ $\text{Si}_3\text{N}_4$ ）のような絶縁材料からなり、エッチングによって第1絶縁膜13に接続孔を形成した際に第2絶縁膜14が残るように、例えば $20\text{nm}$ 程度の厚さに形成する。

【0065】その後、塗布、リソグラフィ、エッチング等の技術によって、上記第2絶縁膜14に開口部17

を形成する。続いて、開口部17上および第2絶縁膜14上に、この第2絶縁膜14よりもエッチング速度が十分に速い第3絶縁膜18として、例えば上記第1絶縁膜13と同種の膜（例えば酸フッ化ケイ素等の低誘電率膜）を、上層配線を埋め込む溝を形成するために必要となる厚さ（例えば、 $600\text{nm}$ 程度の厚さ）に堆積する。次いで、塗布、リソグラフィ、エッチング等の技術によって、上記第3絶縁膜18に溝21（21a、21b）を形成する。ここでは、溝21bの一部分は開口部17上に形成される。さらに上記エッチングを進めて、開口部17より第1絶縁膜13をエッチングして下層配線12に達する接続孔22を形成する。

【0066】その後、段差部での被覆率が良い成膜技術（例えば、低圧CVD法）によって、上記溝21と上記接続孔22との各内壁および第3絶縁膜18上に、フッ素（F）のような配線を腐食させるような物質を通さない第4絶縁膜31を形成する。この第4絶縁膜31は、例えば酸化シリコン（ $\text{SiO}_2$ ）からなる。

【0067】次いでエッチバックによって、上記第4絶縁膜31を異方性エッチングして、図8の（2）に示すように、溝21および接続孔22の各側壁にのみ酸化シリコンからなるサイドウォール絶縁膜32を形成する。このときのエッチバックとしては、通常の接続孔の開口に用いられる異方性の高いエッチングであれば、どのようなエッチングであってもよい。この工程によって、溝21の底部の第4絶縁膜31とともに接続孔22の底部の第4絶縁膜31も除去される。

【0068】次いで図8の（3）に示すように、CVD法によって、上記接続孔22および上記溝21の各内部を埋め込むとともに、第3絶縁膜18上の上面18uを超える高さになるまで導電体23を堆積する。この導電体23は銅からなる。

【0069】その後平坦化技術として、例えばCMPによって、配線部分以外の導電体23、すなわち第3絶縁膜18上の導電体23を完全に除去して、図8の（4）に示すように、接続孔22の内部に接続プラグ24を形成するとともに溝21の内部に上層配線25（25a、25b）を形成する。そして上記接続孔22は上記溝21の一部分に接続していることから、この上層配線25bの一部分は接続プラグ24に接続される。したがって、接続プラグ24によって、上層配線25bと下層配線12とが接続される多層配線構造が完成される。

【0070】上記第1絶縁膜13および第3絶縁膜18に用いることができる低誘電率膜は、酸フッ化ケイ素（誘電率 $\epsilon = 3.2 \sim 3.7$ ）や上記第1実施形態で説明した材料に限定されることはなく、例えばフッ素（F）を添加したポリイミド（誘電率 $\epsilon = 2.7$ ）、ポリテトラフルオロエチレン（誘電率 $\epsilon = 1.9 \sim 2.1$ ）に代表される種々のフッ素樹脂、フッ化ポリアリルエーテル（誘電率 $\epsilon = 2.6$ ）、サイトップのような構

造をもつポリマー（誘電率 $\epsilon=2.1$ ）等のフッ素（F）を含む有機材料がある。このようにフッ素（F）を含む材料を用いる場合には、上記第2実施形態のように、サイドウォール絶縁膜32を形成した構造が必要になる。したがって、サイドウォール絶縁膜32は、下層配線12、接続プラグ24および上層配線25を構成する材料に害を及ぼす物質（例えばフッ素、水分等）を通すことがないような絶縁材料で形成される必要がある。例えば上記した酸化シリコンの他には、例えば窒化シリコン、酸窒化シリコン等の絶縁材料で形成することが可能である。当然のことながら、ここで示した絶縁材料に限定されることはなく、上記作用を成す絶縁材料であればいかなる材質のものも適用することは可能である。

【0071】上記第2実施形態においても、前記説明したのと同様にして、開口部17を接続孔22との合わせずれ余裕を考慮して、上層配線25の配線方向と直交する方向に大きく形成することが好ましい。

【0072】上記第2実施形態の製造方法では、前記第1実施形態で説明したのと同様の作用、効果が得られるとともに、一般に活性である低誘電率膜を第1絶縁膜13および第3絶縁膜18に使用することが可能になる。それは、溝21および接続孔22の各側壁にサイドウォール絶縁膜32を形成したので、上層配線25および接続プラグ24と第1絶縁膜13および第3絶縁膜18とをサイドウォール絶縁膜32によって隔絶されるためである。その結果、低誘電率膜中に例えばフッ素（F）のような配線の信頼性を損なう物質が含まれていても、上層配線25や接続プラグ24に影響を及ぼすことはない。

【0073】また、上記第2実施形態では、下層配線12と低誘電率膜を用いた第1絶縁膜13との接触を防ぐための保護膜の類については言及してはいないが、下層配線12を形成した後、通常の酸化シリコン膜（図示省略）などを堆積することによって保護膜は形成することができる。

【0074】

【発明の効果】以上、説明したように本発明によれば、第1絶縁膜上にこの第1絶縁膜よりもエッチング速度が遅い第2絶縁膜を積層形成した後、下層配線に通じる接続孔を形成する領域上の第2絶縁膜に開口部を形成する。その後、開口部上および第2絶縁膜上にこの第2絶縁膜よりもエッチング速度が速い第3絶縁膜を形成する。そのため、エッチングによって第3絶縁膜に溝を形成した際、この溝の形成は第2絶縁膜によって停止でき、さらにエッチングを進めると、第2絶縁膜がエッチングマスクになって開口部下の第1絶縁膜をエッチング

して接続孔を形成することができる。このとき、第2絶縁膜は第1絶縁膜よりもエッチング速度が遅いため溝は必要以上に深くない。したがって、2回のエッチング工程によって溝と接続孔とを形成でき、特に2回目のエッチングでは、第1絶縁膜と第3絶縁膜とをエッチングするが、第1絶縁膜と第3絶縁膜とは同種の材料で形成することが可能なので同一エッチング条件でエッチングすることができる。そのため、実質的にエッチング工程数を削減することができるので、スループットの向上が図れる。

【0075】また、第1絶縁膜に大きな段差となる溝や接続孔を形成していないので、第3絶縁膜18の表面は大きな段差を生じていない。そのため、溝や接続孔を形成する際に、下地段差の影響をほとんど受けることがないので、溝や接続孔を微細かつ高精度に形成することが可能になる。そのことは、第1絶縁膜の表面を平坦化することによって、さらに向上させることができる。

【図面の簡単な説明】

【図1】本発明に係わる第1実施形態の製造工程図である。

【図2】第1実施形態の製造工程図（続き）である。

【図3】合わせずれ余裕を取った開口部の形成方法の説明図である。

【図4】合わせずれ余裕を考慮した接続孔の形成方法の説明図である。

【図5】合わせずれ余裕を考慮しない場合の配線形成方法の説明図である。

【図6】開口部のレイアウト例の説明図である。

【図7】開口部のレイアウト例の説明図である。

【図8】本発明に係わる第2実施形態の製造工程図である。

【図9】従来の多層配線の形成方法に係わる製造工程図である。

【図10】従来のデュアルダマシン法による製造工程図である。

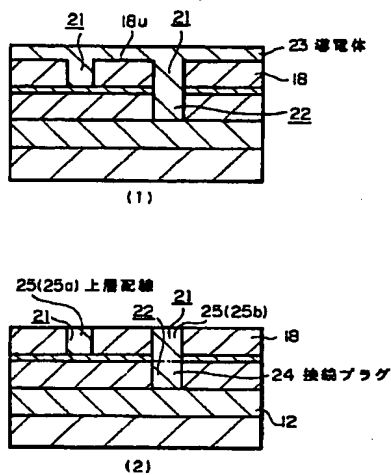
【図11】課題を説明するレイアウト図である。

【図12】従来のデュアルダマシン法に係わる課題の説明図である。

【符号の説明】

11	半導体基板	12	下層配線	13	第1絶縁膜
14	第2絶縁膜	17	開口部	18	第3絶縁膜
21	溝				
22	接続孔	23	導電体	24	接続プラグ
25	上層配線				

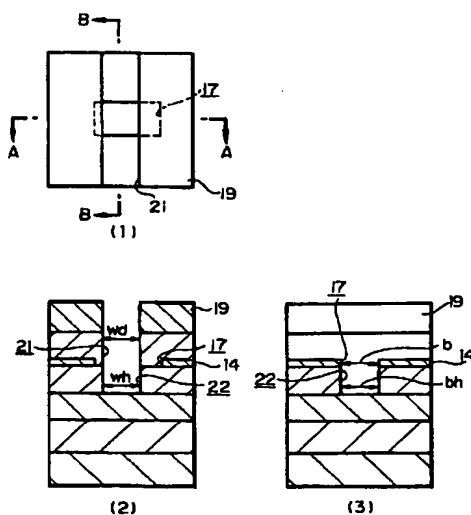
【図 2】



### 第1 実施形態の製造工程図（続き）

### 本発明に係わる第1実施形態の製造工程図

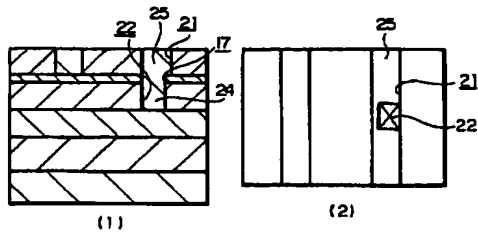
【図4】



合わせずれ余裕を取った開口部の形成方法の説明図

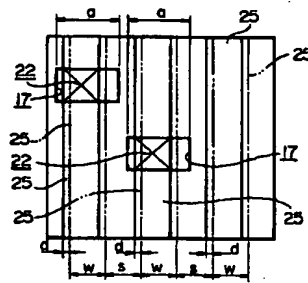
合わせずれ余裕を考慮した挿抜孔の形成方法の説明図

【図5】



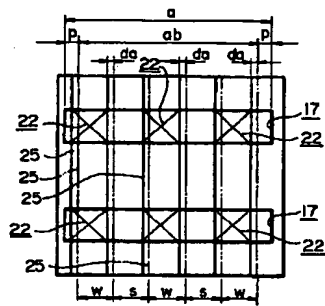
合わせずれ余裕を考慮しない場合の配線形成方法の説明図

【図6】



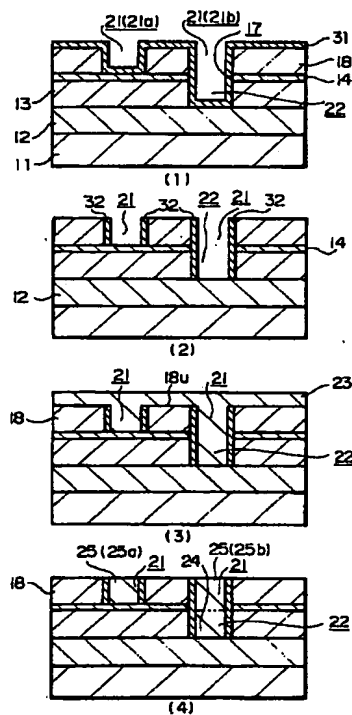
開口部のレイアウト例の説明図

【図7】



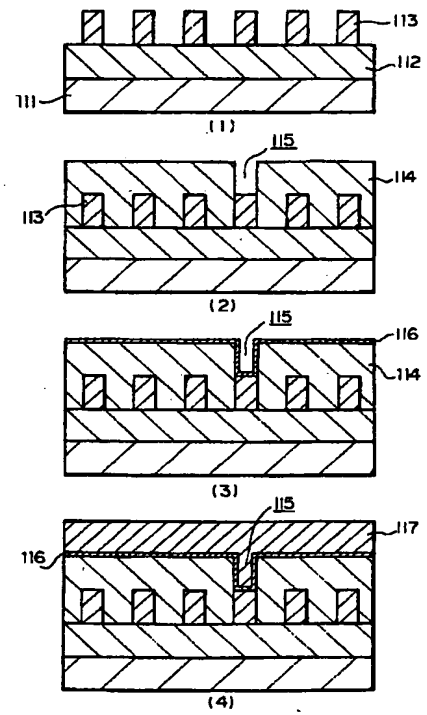
開口部のレイアウト例の説明図

【図8】



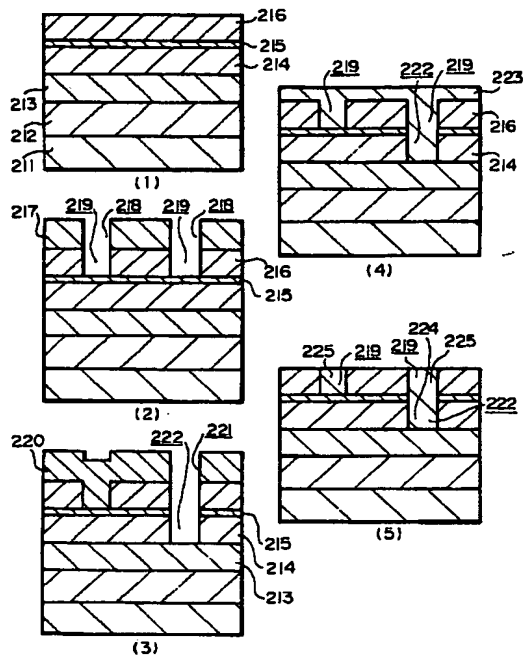
本発明に係る第2実施形態の製造工程図

【図9】



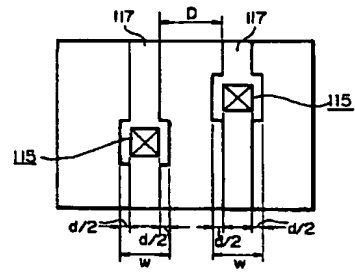
従来の多層配線の形成方法に係る製造工程図

【図10】



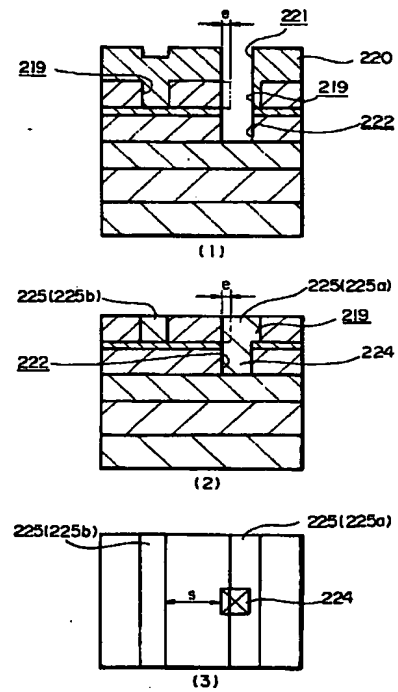
従来のデュアルダマシシ法による製造工程図

【図11】



線画を説明するレイアウト図

【図12】



従来のデュアルダマシシ法に係わる線画の説明図

フロントページの続き

(72)発明者 小田 達治  
 東京都品川区北品川6丁目7番35号 ソニ  
 ー株式会社内